

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218415

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

H 01 L 29/784
21/265
27/092

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M
8617-4M

H 01 L 29/78
21/265

審査請求 未請求 請求項の数2(全7頁) 最終頁に続く

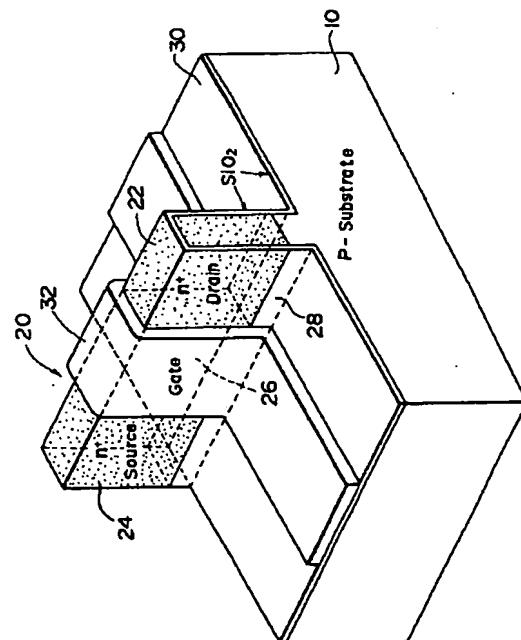
(21)出願番号	特願平4-17176	(71)出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号
(22)出願日	平成4年(1992)1月31日	(72)発明者	多田 ▲吉▼秀 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

(74)代理人 弁理士 金山 敏彦 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 微細化に適し、動作性能のよい半導体装置。
【構成】 基板10上には、突出部20が、異方性エッチングによって形成されており、この突出部20内にトランジスタが内蔵される。すなわち、突出部20のゲート電極32にカバーされている中央部分がチャネル領域とされており、その両側がドレイン領域22、ソース領域24とされている。このドレイン領域22、ソース領域24はゲート電極32をマスクとした斜めイオン注入によって形成される。そして、ドレイン、ソース、チャネルの各領域の下方には基板の組成がそのまま残る素子分離部28が形成されている。このため、トランジスタの下方に酸化物絶縁層が不要となり、製造が簡単に行える。また、衝突電離によって、チャネル領域に生じたキャリアを基板10に逃がすことができる。



1

【特許請求の範囲】

【請求項1】 板状の半導体基板部と、この半導体基板部上に突出形成された素子形成部と、この素子形成部に設けられ、不純物がドープされた素子動作領域と、素子形成部内の素子動作領域の下方に設けられ、上記半導体基板部と同一組成を有する素子分離部と、を有することを特徴とする半導体装置。

【請求項2】 上記半導体装置において、素子形成部のチャネルとなる部分の幅が充分小さく、チャネルキャリアが素子形成部表面のみならず突起内部にまで形成されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板上にMOSトランジスタなどの素子を形成する半導体装置に関する。

【0002】

【従来の技術】 従来より、各種の半導体装置が提案されており、特にMOSトランジスタを内蔵したものが多く利用されている。そして、このような半導体装置においては、その集積度を上昇させるために素子構造の微細化が進んでいる。

【0003】 ここで、通常の半導体装置は、平板状の半導体基板（例えば、Si基板）の所定の領域に複数のMOSトランジスタ形成している場合が多い。この場合には、ゲート領域を薄い絶縁層を介しゲート電極で覆った状態でその両側の領域にイオンをドープして、ソース領域、ドレイン領域を形成しMOSトランジスタを半導体基板の所定領域に形成している。そして、このような半導体装置のMOSトランジスタを微細化していくと、各種の問題が生じる。すなわち、ドレイン付近の電界増加に伴いドレイン空乏層がソース近傍の電位障壁近くまで伸び、パンチスルーハーベストが発生するなどの短チャネル効果が発生したり、チャネル内における電界強度の増加に伴いキャリアのエネルギーが増加し衝突電離により電子正孔対が発生するホットキャリア効果が発生したり、さらにチャネルの垂直方向の電界が大きくなりキャリアの移動度が小さくなったり、隣接する素子との素子分離が十分に行えなくなる等の問題が発生する。従って、従来の半導体装置では、そのゲート長をサブミクロン程度以下とすると、十分な性能、信頼性を保持できないという問題点があった。

【0004】 一方、これらの問題点を改善するものとして、SOI (Silicon On Insulator) 超薄膜トランジスタが提案されている。このSOI超薄膜トランジスタは、半導体基板上に酸化絶縁膜を形成し、この酸化絶縁膜上にソース、ゲート、ドレイン領域を形成したものである。この超薄膜トランジスタによれば、絶縁膜上にトランジスタを形成するため、短チャ

10

2

ネル効果、ホットキャリア効果の発生を抑制できると共に、チャネル全体に電圧を印加できるため垂直方向の電界を小さくしてキャリア移動度を大きく維持でき、さらに素子分離性に優れているという効果が得られる。

【0005】 しかし、この超薄膜トランジスタはその構造上、絶縁膜上にトランジスタを形成するためのSi基板を形成することが必要である。ところが、絶縁膜（例えば、SiO₂）にSi単結晶層を形成することは技術的に非常に難しい。特に、良質なSiエピタキシャル膜を形成することは現在のところ不可能であり、好適な性能を持つ超薄膜トランジスタを実現することは困難であった。

【0006】 一方、超薄膜トランジスタに類似の効果を得られる半導体装置として、Si基板上に極めて薄い突出部を設け、この突出部内にソース、チャネル、ドレイン領域を設ける縦型超薄膜トランジスタが提案されている。そして、この縦型超薄膜トランジスタにおいては、Si基板に異方性エッチングによって突出部を形成し、その後この突出部を窒化シリコンによって覆った状態でフィールド酸化し、Si基板と突出部をフィールド酸化層によって分離する。従って、突出部をSi単結晶として形成することができ、さらに突出部内のトランジスタを形成するため、集積率をさらに高くできるという効果がある。なお、このような装置については、例えば特開平2-263473号公報等に示されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上述の縦型超薄膜トランジスタにおいては、上述のように、突出部を耐酸化性の膜（例えば、Si_xN_y）で覆って、フィールド酸化を行い、突出部の下方までフィールド酸化層を形成し、チャネル部と基板の絶縁分離を行う必要がある。従って、このフィールド酸化工程において、チャネル部における結晶性が損なわれるおそれがあり、トランジスタの性能を十分なものとできないという問題点があった。また、この縦型超薄膜トランジスタにおいては、チャネル部は、フィールド酸化膜によって他の部分と完全に分離されている。従って、チャネル部において衝突電離が生じた場合には、同極性の余剰キャリアがここに溜まることになり、電位がシフトして各種の弊害が生じるという問題点があった。また、フィールド酸化層は熱伝導度が低いため、チャネル部における熱放散が十分に行えないという問題点もあった。さらに、フィールド酸化によって得られた酸化層はゲート酸化膜とはその性状が異なるため、ここにおける残留応力が大きくなってしまうという問題点があった。

【0008】 本発明は、上記問題点を解決することを課題としてなされたものであり、微細化した際に、動作性能が劣化しない半導体装置を提供することを目的とする。

【0009】

20

30

40

【課題を解決するための手段】本発明に係る半導体装置は、板状の半導体基板部と、この半導体基板部上に突出形成された素子形成部と、この素子形成部に設けられ不純物がドープされた素子動作領域と、素子形成部内の素子動作領域の下方に設けられ上記半導体基板部と同一組成を有する素子分離部とを有することを特徴とする。

【0010】また、本発明は、上記半導体装置において、素子形成部のチャネルとなる部分の幅が充分小さく、チャネルキャリアが素子形成部表面のみならず突起内部にまで形成されることを特徴とする。

【0011】

【作用】本発明に係る半導体装置は、上述のような構成を有しており、素子形成部内にトランジスタなどの素子が収容されるため、素子を縦型とでき、集積度を上昇することができる。そして、素子分離部は基板と同一の組成であるため、素子は通常の基板上に形成したものと同様の動作が可能であり、酸化物上に素子を形成した場合にような問題点が発生しない。

【0012】

【実施例】以下、本発明に係る半導体装置について、図面に基づいて説明する。図1は、実施例の構成を説明するための斜視図であり、p型のSi基板10の上部には、突出部20が形成されている。そして、この突出部20の両側には、n'型のドレイン領域22、n'型のソース領域が形成されており、このドレイン領域22、ソース領域24に挟まれた領域に基板10と同じp型のチャネル領域26が形成されている。そして、これらドレイン領域22、ソース領域24、チャネル領域26はその下端が突出部20内に収まっており、突出部20の下部には基板10の一部である素子分離部28が形成されている。

【0013】また、基板10および突出部20の表面はすべてSiO₂で形成される酸化膜30によって覆われており、チャネル領域26の表面にはゲート電極32が形成されている。このため、この酸化膜30はゲート酸化膜として機能する。また、ゲート電極32は、外部との電気的接続のため、基板10の所定の端部まで引き回されている。

【0014】このような、本実施例の半導体装置では、突出部20内に1つのMOSトランジスタが構成されている。従って、ドレイン領域22、ソース領域24にそれぞれドレイン電極、ソース電極を接続すれば、ゲート電極32への電圧の印加によって、チャネル領域26の電位を制御しドレイン領域22→ソース領域24間の電流を制御することができる。この例では、形成されているMOSトランジスタがnチャネルであるため、ゲート電極に正の電圧を印加することによって、電流が流れれる。

【0015】特に、本実施例の装置によれば、突出部20の下部には、素子分離部28が形成されており、これ

によって隣接素子との素子分離をほぼ完全に行うことができる。そして、この素子分離部28は基板10の一部である。そこで、衝突電離によって発生する基板と同極性の余剰キャリア（本例の場合、正孔）が基板10に排出されることになり、チャネル領域26に溜まることがない。従って、余剰キャリアの蓄積に伴うキンク（Kinck）現象の発生がなく、また余剰の正孔による疑似短チャネル効果の発生がない。また、消費電力により発生した熱が基板10に容易に拡散するため、チャネル領域26の加熱を防止することができる。

【0016】さらに、トランジスタを縦型とし、チャネル領域26をゲート電極32によって取り囲んでいるため、チャネル領域全体の電圧を所定の値に制御することができ、動作性能を非常に高いものとすることができます。

【0017】次に、本実施例の半導体装置の製造方法について、図2に基づいて説明する。まず、Si単結晶からなる基板10表面に熱酸化によりSiO₂層を形成し、その上にSiN（または酸化膜）による線幅0.1

μm程度の線状パターンを形成する（S1）。この線状パターンの形成は、電子（EB）ビーム描画露光装置および多層レジスト露光技術などを利用した超微細バーニング技術によって行う。そして、このSiN線状パターンをマスクとして、RIEなどによって基板10に異方性エッチングを施し、所定の凹部40を形成して突出部20を形成する（S2）。次に、SiNパターンを除去すると共に、基板10の全表面を酸化しSiO₂酸化膜30を形成する（S3）。そして、全表面にポリシリコン層Poly-Siを形成した（S4）後、通常のマスク、エッティング処理により、ゲート電極32を形成する（S5）。このゲート電極32に形成は、ECRエッティング装置や中性ラジカルビームエッティングなどの高異方性、高選択性エッティング技術を利用する。

【0018】このようにして、突出部20の形成、この表面へのゲート酸化膜を介するゲート電極32の形成が終了した場合には、イオン注入によりドレイン領域22、ソース領域24を形成する（本実施例では、例えばリンの注入によるn'領域の形成）（S6）。ここで、このイオン注入は、イオンの照射方向をマスク、電圧印加などによって斜め方向のみに限定する斜入射イオン注入装置によって行う。そして、図3に示すようにイオンの照射角度αと凹部40の幅wは、突出部20の高さをhとした場合に、 $\tan \alpha > w/h$ の関係が保持されるように決定する。従って、凹部40の側壁がマスクとして機能し、突出部20の基板側にイオンが注入されないp基板と同一組成の素子分離部28が残留することになる。なお、イオン注入工程の後には、加熱による熱拡散工程があり、この工程においてドレイン領域22、ソース領域24が若干拡大する。そこで、このことも考慮して素子分離部28の大きさを決定しておく。

【0019】このように、突出部20の内部に素子分離部28によって、基板10から素子分離されたMOSトランジスタを形成することができる。なお、MOSトランジスタを実際に動作させるためには、ソース電極、ドレイン電極、層間絶縁層、A1配線層、保護層などが必要であるが、これらは一般的な方法で、この後形成され、これによって半導体装置が動作可能なものとされる。

【0020】本実施例によれば、素子分離部28を単に基板10をそのまま残留することによって形成している。このため、SOIのように素子分離のための酸化層をMOSトランジスタと基板10の間に形成する必要がなく、その製造工程の簡略化を図ることができる。従って、突出部20を良質なSi単結晶によって構成することができ、さらにフィールド酸化工程などの体積、構造が大幅変化する過酷な条件の工程がないため、ゲート酸化膜と、フィールド酸化膜との接点など大きな応力が残留する部位の形成を防止することができる。

【0021】次に、図4に他の実施例の半導体装置の製造方法を示す。この例においては、上述の図2におけるS6の前に、充填物の充填工程(S10)を有している。すなわち、この充填工程において、凹部40内に所定量の充填物を充填した後、斜めイオン注入を行う(S11)を行う。従って、充填物によって突出部下部に対するイオン注入が防止され、凹部40の幅を広くしても、突出部下部に素子分離部を形成することができる。従って、凹部40の幅を任意に選択することができ、また斜めイオンの注入精度をそれ程高く設定しなくても問題が生じない。従って、製造が容易となるという効果がある。なお、充填物はSiO₂、SiNなどの絶縁物が好適である。

【0022】図5は、半導体装置の他の実施例の構成図であり、多数の突出部20を所定間隔をもいて配列したものである。本実施例によれば、突出部20の幅Tchより有効チャネル幅Wを大きくできるため、単位幅Lsp当たりの有効チャネル幅W(面積効率=W/Lsp)を非常に高くすることができる。特に、この例では、W、Lspともほぼ0.1μmとでき、素子の集積度を飛躍的に上昇することができる。そして、この例では、1つのゲート

電極32を各突出部20のトランジスタに共通としている。

【0023】図6には、本発明の半導体装置によりインバータを構成した例を示す。この例では、2つのP型トランジスタ50、52と2つのN型トランジスタ60、62を有している。そして、トランジスタ50、60およびトランジスタ52、62が電源電圧VDDとアースの間に配置されている。そして、すべてのトランジスタ50、52、60、62のゲートにはVinが入力され、トランジスタ50、60の接続点およびトランジスタ52、62接続点からVoutが出力される。従って、VinがHの場合に、2つのN型トランジスタ50、52がオンし、VoutがLとなり、VinがLの場合に、2つのP型トランジスタ60、62がオンし、VoutがHとなる。従って、図6の構成により、インバータが構成される。

【0024】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、トランジスタを縦型としたため、集積度を高くでき、また基板と同一組成の素子分離部によって素子分離を行うため、製造が簡易に行えると共に、チャネル内のキャリアの蓄積を防止することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施例の構成を示す斜視図である。

【図2】実施例の半導体装置の製造工程を示す説明図である。

【図3】斜めイオン注入工程の説明図である。

【図4】他の製造工程の説明図である。

【図5】装置の他の実施例の構成を示す斜視図である。

【図6】インバータを構成した場合の構成図である。

【符号の説明】

10 基板

20 突出部

22 ドレイン領域

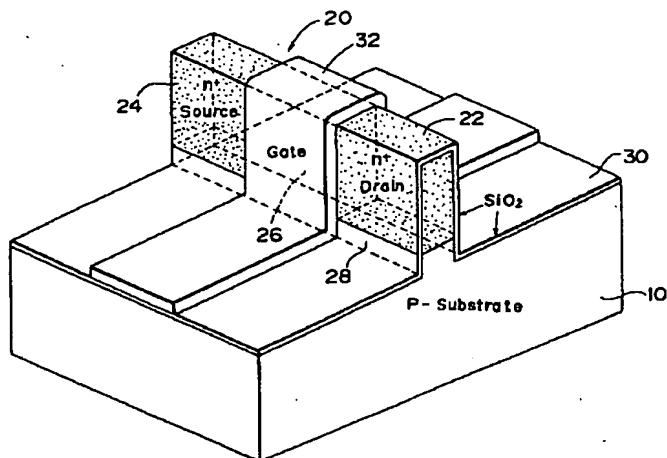
24 ソース領域

26 チャネル領域

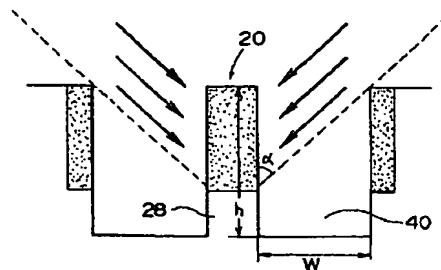
30 酸化膜

32 ゲート電極

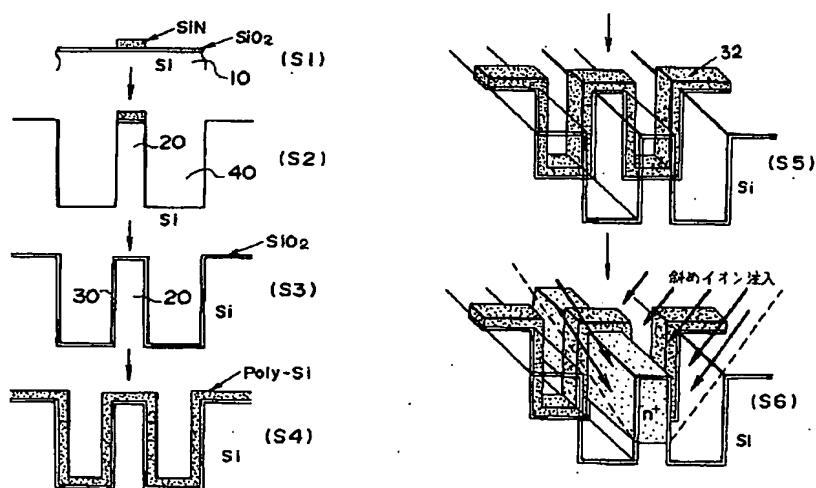
【図1】



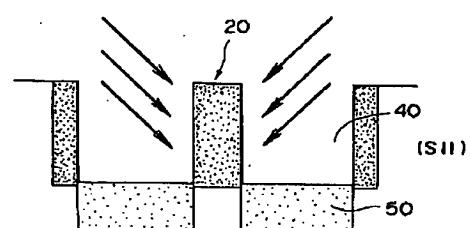
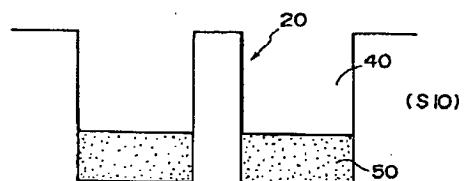
【図3】



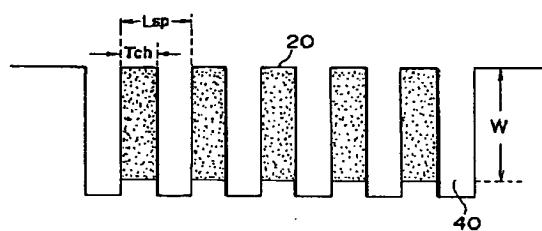
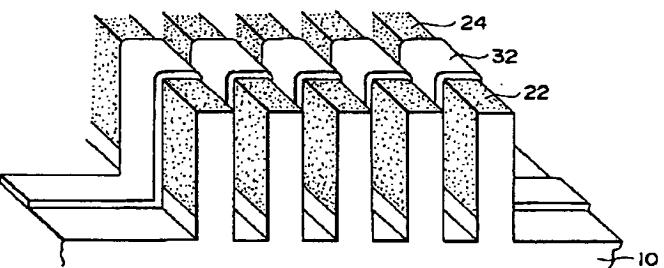
【図2】



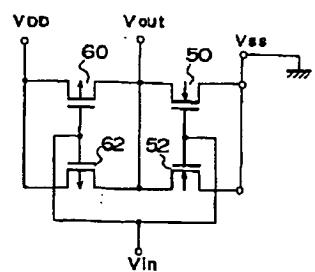
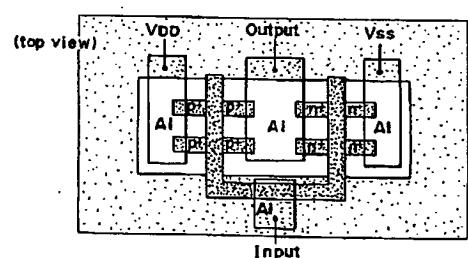
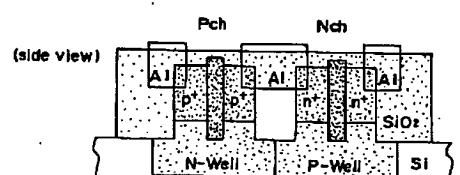
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.C1.:

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/08

3 2 1 N

THIS PAGE BLANK (USPTO)